



(19)

(11) Publication number: **2002300143 A**

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2002001385

(51) Intl. Cl.: H04L 7/033 H03L 7/08 H03L 7/087

(22) Application date: 08.01.02

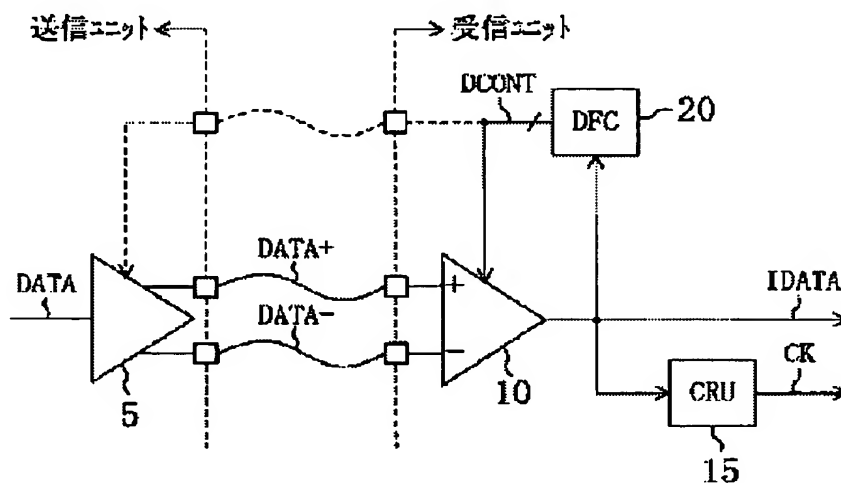
(30) Priority:	24.01.01 JP 2001015342	(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD
(43) Date of application publication:	11.10.02	(72) Inventor: IWATA TORU YAMAUCHI HIROYUKI YOSHIKAWA TAKEFUMI
(84) Designated contracting states:		(74) Representative:

(54) CLOCK RECOVERY CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a clock recovery circuit that suppresses timing jitter in a recovered clock.

SOLUTION: A driver 5 and a receiver 10 respectively supply serial data having a regular bit pattern such as a clock, which includes 1's and 2's alternately with each other during an adjustment period and supply a data signal (IDATA) on the basis of serial data having an arbitrary bit pattern during a transfer period following the adjustment period. A duty factor controller(DFC) 20 adjusts a data transition characteristic of the driver or the receiver so that the duty factor(DF) of the data signal supplied from the receiver 10 is equal to 50% in the adjustment period and stores the adjusted data. A clock recovery unit(CRU) 15 recovers a clock(CK) synchronized with the data signal, which is supplied from the receiver 10 in the transmission period and is based on the adjusted transition characteristic, from the data signal.



COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-300143

(P2002-300143A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 4 L 7/033

H 0 4 L 7/02

B 5 J 1 0 6

H 0 3 L 7/08

H 0 3 L 7/08

P 5 K 0 4 7

7/087

M

G

審査請求 有 請求項の数12 O L (全 9 頁)

(21) 出願番号 特願2002-1385(P2002-1385)

(22) 出願日 平成14年1月8日(2002. 1. 8)

(31) 優先権主張番号 特願2001-15342(P2001-15342)

(32) 優先日 平成13年1月24日(2001. 1. 24)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 岩田 徹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 山内 寛行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

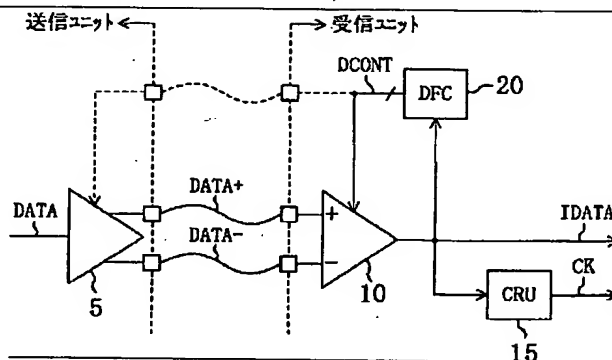
最終頁に続く

(54) 【発明の名称】 クロックリカバリ回路

(57) 【要約】

【課題】 クロックリカバリ回路における再生クロックのタイミングジッタを抑制する。

【解決手段】 ドライバ5及びレシーバ10は、調整期間にはクロックのような1と0とが交互に繰り返して出現する規則的なビットパターンを有するシリアルデータに、その後の伝送期間には任意のビットパターンを有するシリアルデータにそれぞれ基づくデータ信号(IDATA)を供給する。デューティファクタコントローラ(DFC)20は、調整期間において、レシーバ10から供給されたデータ信号のデューティファクタ(DF)が50%に等しくなるようにドライバ5又はレシーバ10のデータ遷移特性を調整し、これを保持させる。クロックリカバリユニット(CRU)15は、レシーバ10から伝送期間に供給された、調整済みの遷移特性に基づくデータ信号に同期したクロック(CK)を当該データ信号から再生する。



【特許請求の範囲】

【請求項1】 再生クロックのタイミングジッタが抑制されたクロックリカバリ回路であって、

第1の期間には規則的なビットパターンを有するシリアルデータに、前記第1の期間の後の第2の期間には任意のビットパターンを有するシリアルデータにそれぞれ基づくデータ信号を供給するための送受信手段と、

前記第1の期間において、前記送受信手段から供給されたデータ信号のデューティファクタエラーが低減されるように前記送受信手段のデータ遷移特性を調整し、これを保持させるためのデューティファクタコントローラと、

前記第2の期間において、前記送受信手段から供給されたデータ信号に同期したクロックを当該データ信号から再生するためのクロックリカバリユニットとを備えたことを特徴とするクロックリカバリ回路。

【請求項2】 請求項1記載のクロックリカバリ回路において、前記送受信手段は、

差動データ信号を供給するためのドライバと、

前記ドライバから差動データ信号を受け取り、かつ当該差動データ信号に対応したシングルエンドデータ信号を供給するためのレシーバとを備え、

前記ドライバ又はレシーバのデータ遷移特性が前記デューティファクタコントローラにより調整されることを特徴とするクロックリカバリ回路。

【請求項3】 請求項1記載のクロックリカバリ回路において、

前記デューティファクタコントローラは、前記データ信号のデューティファクタエラーを表すアナログ電圧を出力するように当該データ信号を積分するための積分回路を備えたことを特徴とするクロックリカバリ回路。

【請求項4】 請求項3記載のクロックリカバリ回路において、

前記デューティファクタコントローラは、前記積分回路のアナログ出力電圧に応じたデジタル信号をデューティファクタコントロール信号として前記送受信手段に与えるためのA/Dコンバータを更に備えたことを特徴とするクロックリカバリ回路。

【請求項5】 請求項1記載のクロックリカバリ回路において、

前記デューティファクタコントローラは、

前記データ信号に対して1データ間隔の遅延を有する遅延データ信号を生成するための遅延回路と、

前記データ信号と前記遅延データ信号との複数の論理演算結果に応じたデューティファクタコントロール信号を前記送受信手段に与えるための論理回路とを備えたことを特徴とするクロックリカバリ回路。

【請求項6】 請求項1記載のクロックリカバリ回路において、

前記デューティファクタコントローラは、前記データ信号に対する前記クロックの位相エラーを検出し、かつ当該位相エラーの大きさに応じたデューティファクタコントロール信号を前記送受信手段に与えるための手段を備えたことを特徴とするクロックリカバリ回路。

【請求項7】 与えられたデータ信号に同期したクロック再生のためのクロックリカバリユニットであって、ある制御電圧に応じた周波数を有するクロックを生成するための電圧制御発振器と、

各々の出力が共通ノードに結合された第1及び第2のチャージポンプと、

前記データ信号の立ち上がりエッジ又は立ち下がりエッジのいずれか一方に対する前記クロックの位相エラーを検出し、かつ当該位相エラーに応じて前記第1のチャージポンプを制御するための第1の位相比較器と、

前記データ信号の他方のエッジに対する前記クロックの位相エラーを検出し、かつ当該位相エラーに応じて前記第2のチャージポンプを制御するための第2の位相比較器とを備え、

前記第1の位相比較器により検出された位相エラーと、

前記第2の位相比較器により検出された位相エラーとの双方が低減されるように、前記第1及び第2のチャージポンプにより前記共通ノードに生成された電圧が前記制御電圧として前記電圧制御発振器に与えられることを特徴とするクロックリカバリユニット。

【請求項8】 請求項7記載のクロックリカバリユニットにおいて、

前記データ信号は、NRZ形式のデータ信号であることを特徴とするクロックリカバリユニット。

【請求項9】 請求項7記載のクロックリカバリユニットにおいて、

前記第1又は第2の位相比較器のいずれか一方の出力に応じて前記データ信号の遷移特性を制御するための手段を更に備えたことを特徴とするクロックリカバリユニット。

【請求項10】 請求項7記載のクロックリカバリユニットにおいて、

前記第2の位相比較器のデータ入力パスに挿入された第1の遅延回路と、

前記第2の位相比較器のクロック入力パスに挿入された第2の遅延回路と、

前記第1の遅延回路の出力に対する前記第2の遅延回路の出力の位相エラーを検出し、かつ当該位相エラーが低減されるように前記第1又は第2の遅延回路の遅延量を調整するための第3の位相比較器とを更に備えたことを特徴とするクロックリカバリユニット。

【請求項11】 請求項10記載のクロックリカバリユニットにおいて、

前記第1の遅延回路が前記データ信号に代えて規則的なビットパターンを有するシリアルデータに基づく調整信

号を受け取る期間が設けられ、

前記第3の位相比較器は、前記調整信号に応答した前記第1の遅延回路の出力に対して前記第2の遅延回路の出力の遅れ位相エラーを検出した場合には、当該遅れ位相エラーが低減されるように前記第1の遅延回路の遅延量を増大させてこれを保持させ、前記調整信号に応答した前記第1の遅延回路の出力に対して前記第2の遅延回路の出力の進み位相エラーを検出した場合には、当該進み位相エラーが低減されるように前記第2の遅延回路の遅延量を増大させてこれを保持させることを特徴とするクロックリカバリユニット。

【請求項12】 請求項10記載のクロックリカバリユニットにおいて、

前記第1の遅延回路の遅延量の半分だけ前記データ信号を遅延させて出力する第3の遅延回路と、

前記第2の遅延回路の遅延量の半分だけ前記クロックを遅延させて出力する第4の遅延回路とを更に備えたことを特徴とするクロックリカバリユニット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速差動インターフェースに好適なクロックリカバリ回路又はクロックリカバリユニットに関するものである。

【0002】

【従来の技術】IEEE1394.b規格には、小振幅かつ差動のシリアルデータ伝送が規定されている。このようなシリアルデータ伝送のための受信ユニットでは、データ信号に同期したクロックを当該データ信号から再生するためのクロックリカバリ技術が必要である。

【0003】クロックリカバリ技術の1つの従来例が、D.H.Wolaver, "Phase-Locked Loop Circuit Design", Section 10-2, pp.213-216, Prentice Hall (1991)に示されている。この例では、データ信号の形式をNRZ (non-return-to-zero) からRZ (return-to-zero) へ変換したうえ、RZデータ信号からPLL (phase-locked loop) を用いてクロックを再生するようにしている。

【0004】

【発明が解決しようとする課題】元来、NRZデータ信号のHレベル持続時間及びLレベル持続時間は、いずれも1データ間隔の整数倍である。ところが、差動増幅器や差動伝送路のスキューに起因して、あるいはプロセスばらつきに起因して、例えばHレベル持続時間が1データ間隔より短くなることがある。この場合には、上記従来例によれば再生クロックにタイミングジッタが生じてしまう。

【0005】また、上記従来例によれば、PLLの構成要素である位相比較器及びチャージポンプが1データ間隔毎に各々の出力を更新しなければならず、これらの構成要素の動作速度がデータレートに制約を与えていた。

【0006】本発明の第1の目的は、クロックリカバリ

回路のタイミングジッタを抑制することにある。

【0007】本発明の第2の目的は、高速データ伝送に好適なクロックリカバリユニットを提供することにある。

【0008】

【課題を解決するための手段】上記第1の目的を達成するため、本発明は、例えばクロックのような1と0とが交互に繰り返し出現する規則的なビットパターンを用いて、データ信号のデューティファクタ (DF) が50%に等しくなるようにドライバ又はレシーバのデータ遷移特性を調整する期間を設け、本来のデータ伝送期間では調整済みの遷移特性に基づくデータ信号からクロックを再生することとしたものである。

【0009】具体的に説明すると、本発明のクロックリカバリ回路は、第1の期間には規則的なビットパターンを有するシリアルデータに、第1の期間の後の第2の期間には任意のビットパターンを有するシリアルデータにそれぞれ基づくデータ信号を供給するための送受信手段と、第1の期間において送受信手段から供給されたデータ信号のデューティファクタエラーが低減されるように送受信手段のデータ遷移特性を調整し、これを保持させるためのデューティファクタコントローラと、第2の期間において送受信手段から供給されたデータ信号に同期したクロックを当該データ信号から再生するためのクロックリカバリユニットとを備えた構成を採用したものである。

【0010】また、上記第2の目的を達成するため、本発明は、データ信号の立ち上がりエッジに응答した位相比較及びチャージポンプ動作のための構成部分と、当該データ信号の立ち下がりエッジに응答した位相比較及びチャージポンプ動作のための構成部分とをそれぞれ設け、これらの構成部分をインターリーブ動作させることとしたものである。

【0011】具体的に説明すると、本発明のクロックリカバリユニットは、ある制御電圧に応じた周波数を有するクロックを生成するための電圧制御発振器と、各々の出力が共通ノードに結合された第1及び第2のチャージポンプと、データ信号の立ち上がりエッジ又は立ち下がりエッジのいずれか一方に対する前記クロックの位相エラーを検出しかつ当該位相エラーに応じて第1のチャージポンプを制御するための第1の位相比較器と、データ信号の他方のエッジに対する前記クロックの位相エラーを検出しかつ当該位相エラーに応じて第2のチャージポンプを制御するための第2の位相比較器とを備えた構成を採用し、第1の位相比較器により検出された位相エラーと、第2の位相比較器により検出された位相エラーとの双方が低減されるように、第1及び第2のチャージポンプにより前記共通ノードに生成された電圧が前記制御電圧として電圧制御発振器に与えられるようにしたものである。

【0012】

【発明の実施の形態】以下、IEEE1394.b規格に従ったシリアルデータ伝送に好適な本発明の実施の形態について、添付図面を参照して説明する。

【0013】(第1の実施形態)図1は、本発明の第1の実施形態に係るクロックリカバリ回路の構成を示している。図1において、送信ユニットはドライバ5を、受信ユニットはレシーバ10、クロックリカバリユニット(CRU)15及びデューティファクタコントローラ(DFC)20をそれぞれ備えている。ドライバ5は、与えられたシリアルデータ(DATA)に基づく差動データ(DATA+/DATA-)信号を1対の信号線へ供給する。レシーバ10は、当該1対の信号線から差動データ信号を受け取り、かつ当該差動データ信号に対応したシングルエンドデータ信号を入力データ(IDATA)信号として供給する。これらドライバ5及びレシーバ10は、調整期間には例えばクロックのような1と0とが交互に繰り返して出現する規則的なビットパターンを有するシリアルデータに、調整期間の後の伝送期間には任意のビットパターンを有するシリアルデータにそれぞれ基づくIDATA信号を供給するための送受信手段を構成する。DFC20は、調整期間においてIDATA信号のDFエラーが低減されるように、例えば当該IDATA信号のDFが50%に等しくなるように、ドライバ5又はレシーバ10のデータ遷移特性を調整し、これを保持させるためのコントローラである。DCONTは、IDATA信号のDFエラー検出結果に応じたDFコントロール信号である。CRU15は、伝送期間においてIDATA信号に同期したクロックCKを再生するためのユニットである。

【0014】図2は、図1中のDFC20の詳細構成例を示している。図2のDFC20は、積分回路30と、A/Dコンバータ(ADC)40と、スイッチ41とを備えている。積分回路30は、IDATA信号のDFエラーを表すアナログ電圧を出力するように当該IDATA信号を積分するための回路であって、第1及び第2の電流源31、34と、PMOSスイッチ32と、NMOSスイッチ35と、キャパシタ36とで構成されている。PMOSスイッチ32及びNMOSスイッチ35の各々のゲートは、IDATA信号を受け取る。キャパシタ36の一端は、積分ノード33に接続されている。この積分ノード33は、第1の電流源31及びPMOSスイッチ32を介して電源電圧に、第2の電流源34及びNMOSスイッチ35を介して接地電圧にそれぞれ接続されている。ADC40は、参照電圧VREFを受け取り、かつ積分回路30のアナログ出力電圧、すなわち積分ノード33の電圧に応じたデジタル信号をDCONT信号として出力する。スイッチ41は、プリチャージ(PRE)信号に応答して閉じることで、積分ノード33の電圧を参照電圧VREFに初期化する。

【0015】図2の構成によれば、調整期間においてIDATA信号のHレベル持続時間とLレベル持続時間とがいずれも1データ間隔に等しければ、PMOSスイッチ32を介して積分ノード33に流れ込む電荷量と、積分ノード33からNMOSスイッチ35を介して流れ出す電荷量とは等しく、当該積分ノード33の電圧が一定となる。そうでない場合には、この理想状態が達成されるように、ADC40が積分ノード33の電圧をモニタし、このモニタの結果に応じたDCONT信号をドライバ5又はレシーバ10へフィードバックすることで、IDATA信号のDFを50%に等しくすることができる。このようにしてドライバ5又はレシーバ10のデータ遷移特性を調整したうえで本来のデータ伝送期間に入ること、再生クロックCKのタイミングジッタが抑制される。

【0016】なお、DFC20において、積分回路30が動作する期間、ADC40が動作する期間、ドライバ5又はレシーバ10にフィードバックをかける期間、積分ノード33をプリチャージする期間を別々に設けることで、回路動作を安定化することが可能になる。

【0017】図3は、図1中のDFC20の他の詳細構成例を示している。図3のDFC20は、遅延回路45と、論理回路50とを備えている。遅延回路45は、IDATA信号に対して1データ間隔の遅延を有する遅延データ(DDATA)信号を生成するための回路であって、例えばCRU15中の電圧制御発振器(VCO)に用いられている遅延線のレプリカで構成される。論理回路50は、IDATA信号とDDATA信号との複数の論理演算結果に応じた信号をDCONT信号として出力するための回路であって、例えばOR信号を生成するORゲート51と、NAND信号を生成するNANDゲート52とで構成される。

【0018】図4は、調整期間におけるIDATA信号のDFが50%より小さい場合の図3のDFC20の動作を示している。図4によれば、IDATA信号のHレベル持続時間が1データ間隔Tbより短くなっている。DDATA信号は、IDATA信号を1データ間隔Tbだけ遅延させた信号である。したがって、IDATA信号及びDDATA信号がともにLレベルを示す期間があり、当該期間にはOR信号がLレベルとなる。このOR信号は、ドライバ5又はレシーバ10にIDATA信号のHレベル持続時間を延長するよう要求する。

【0019】図5は、調整期間におけるIDATA信号のDFが50%より大きい場合の図3のDFC20の動作を示している。図5によれば、IDATA信号のHレベル持続時間が1データ間隔Tbより長くなっている。DDATA信号は、IDATA信号を1データ間隔Tbだけ遅延させた信号である。したがって、IDATA信号及びDDATA信号がともにHレベルを示す期間があり、当該期間にはNAND信号がLレベルとなる。この

NAND信号は、ドライバ5又はレシーバ10にIDATA信号のHレベル持続時間を短縮するよう要求する。

【0020】図1及び図3の構成によれば、以上のようにして調整期間におけるIDATA信号のDFが50%に等しくなるようにドライバ5又はレシーバ10のデータ遷移特性を調整したうえで本来のデータ伝送期間に入ること、再生クロックCKのタイミングジッタが抑制される。

【0021】(第2の実施形態)図6は、本発明の第2の実施形態に係るクロックリカバリ回路の構成を示している。図6において、送信ユニットはドライバ5を、受信ユニットはレシーバ10、CRU15及びDFC20aをそれぞれ備えている。図1の構成と異なる点は、調整期間においてDFC20aがIDATA信号に対する再生クロックCKの位相エラーを検出し、かつ当該位相エラーの大きさに応じたDCONT信号をドライバ5又はレシーバ10に与えるようになっている点である。

【0022】図6の構成によれば、調整期間のIDATA信号に対する再生クロックCKの位相エラーが低減されるようにドライバ5又はレシーバ10のデータ遷移特性を調整することで、IDATA信号のDF調整を達成することができる。このようにしてドライバ5又はレシーバ10のデータ遷移特性を調整したうえで本来のデータ伝送期間に入ること、再生クロックCKのタイミングジッタが抑制される。なお、DFC20aの例は後述する。

【0023】(第3の実施形態)図7は、本発明の第3の実施形態に係るクロックリカバリ回路の構成を示している。図7に示した受信ユニットは、レシーバ101と、CRU102とを備えている。レシーバ101は、1対の信号線から差動データ(DATA+/DATA-)信号を受け取り、かつ当該差動データ信号に対応したシングルエンドのIDATA信号を供給する。CRU102は、IDATA信号に同期したクロック再生のためのユニットであって、第1の位相比較器(PD)103と、第1のチャージポンプ(CP)104と、電圧制御発振器(VCO)105と、第2の位相比較器(PD)113と、第2のチャージポンプ(CP)114とで構成されている。106は、第1及び第2のCP104、114の各々の出力と、VCO105の入力とに結合された共通ノードである。VCO105は、第1及び第2のCP104、114により共通ノード106に生成された電圧を制御電圧として受け取り、当該制御電圧に応じた周波数を有するクロックを生成する。このクロックは、非反転クロック(CK)信号と、反転クロック(XCK)信号とからなる2相クロックである。第1のPD103は、IDATA信号の立ち上がりエッジに対するCK信号の立ち上がりエッジの位相エラーを検出し、かつ当該位相エラーに応じて第1のCP104を制御する。第1のPD103、第1のCP104及びVC

O105は、第1のPLLパスを構成する。第2のPD113は、IDATA信号の立ち下がりエッジに対するXCK信号の立ち下がりエッジの位相エラーを検出し、かつ当該位相エラーに応じて第2のCP114を制御する。第2のPD113、第2のCP114及びVCO105は、第2のPLLパスを構成する。第1のPD103により検出された位相エラーと、第2のPD113により検出された位相エラーとの双方が低減されるように、第1及び第2のPLLパスが動作する。更に、第2のPD113の出力はDCONT信号としてレシーバ101に与えられ、図6において説明したように、当該DCONT信号に応じてレシーバ101のデータ遷移特性が調整される。

【0024】図8は、図7中のCRU102のPLL動作の例を示している。図8によれば、ビットパターン10010110を有するIDATA信号が、データ間隔TbでCRU102に供給される。このIDATA信号は、NRZ形式のデータ信号である。第1のPLLパスは、IDATA信号の立ち上がりエッジに対するCK信号の立ち上がりエッジの位相エラーを0にする。この際、第1のPD103及び第1のCP104は、2データ間隔(2Tb)のうちに各々の出力を更新すればよい。一方、第2のPLLパスは、IDATA信号の立ち下がりエッジに対するXCK信号の立ち下がりエッジの位相エラーを0にする。ここでも、第2のPD113及び第2のCP114は、2データ間隔(2Tb)のうちに各々の出力を更新すればよい。つまり、2つのPLLパスのインターリーブ動作を採用したことにより、データレート従来より2倍に高めることが可能になる。

【0025】図9は、図7中のCRU102のDF調整動作の例を示している。ここでは、回路の安定動作のため、まず第1のPLLパスによりCK信号の立ち上がりエッジの位相調整が行われた後、第2のPD113と、レシーバ101とによりIDATA信号のDF調整が行われ、その後第2のPLLパスによりXCK信号の立ち下がりエッジの位相調整が行われるものとする。図9に示したDF調整動作の例では、IDATA信号のHレベル持続時間が1データ間隔Tbより短くなっている。したがって、第2のPD113は、IDATA信号の立ち下がりエッジに対するXCK信号の立ち下がりエッジの遅れ位相エラーを検出し、当該遅れ位相エラーの大きさに応じたDCONT信号をレシーバ101に与える。これに回答してレシーバ101は、IDATA信号のHレベル持続時間を延長するようにデータ遷移特性を変更する。その結果、IDATA信号のHレベル持続時間が1データ間隔Tbと等しくなるように、IDATA信号の立ち下がりエッジの位相が調整される。したがって、XCK信号の立ち上がりエッジがIDATAパルスの中央に位置する結果となり、CRU102の次段回路におけるデータラッチにとって好都合である。

【0026】以上のとおり、図7の構成によれば、データレートを従来の2倍に高めることができ、かつ再生クロックのタイミングジッタを抑制することができる。なお、第2のPD113の出力に代えて第1のPD103の出力をレシーバ101に与えるべきDCONT信号として利用することも可能である。

【0027】(第4の実施形態) 図10は、本発明の第4の実施形態に係るクロックリカバリ回路の構成を示している。図10中のCRU102では、図7の構成に第3の位相比較器(PD)301と、第1及び第2の遅延回路(D)302、303と、第3及び第4の遅延回路(D)312、313とが付加されている。これらの遅延回路302、303、312、313は、各々可変の遅延量を有する。例えば、各遅延量の初期値が0に設定される。ODATAは出力データ信号を、OCKは出力クロック信号をそれぞれ表している。

【0028】第1の遅延回路302は第2のPD113のデータ入力パス(IDATA信号の入力パス)に、第2の遅延回路303は第2のPD113のクロック入力パス(XCK信号の入力パス)にそれぞれ挿入されている。第3のPD301は、第1の遅延回路302の出力に対する第2の遅延回路303の出力の位相エラーを検出し、当該位相エラーが低減されるように第1の遅延回路302の遅延量又は第2の遅延回路303の遅延量のいずれか一方を調整する。具体例をもって説明すると、第3のPD301は、第1の遅延回路302の出力に現れるDDATA信号の立ち下がりエッジに対して、第2の遅延回路303の出力信号の立ち下がりエッジが遅れ位相エラーを有することを検出した場合には、当該遅れ位相エラーが低減されるように第1の遅延回路302の遅延量を増大させてこれを保持させる。これとは逆に、第2の遅延回路303の出力信号の立ち下がりエッジがDDATA信号の立ち下がりエッジに対して進み位相エラーを有することを検出した場合には、第3のPD301は、当該進み位相エラーが低減されるように第2の遅延回路303の遅延量を増大させてこれを保持させる。このような第1の遅延回路302の遅延量又は第2の遅延回路303の遅延量の調整のために、本来のデータ伝送期間に先立って、1と0とが交互に繰り返し出現する規則的なビットパターンを有するシリアルデータに基づく調整信号を第1の遅延回路302が受け取る期間が設けられる。つまり、図7の構成におけるDF調整とは違って図10の構成では遅延調整が実行されるのである。したがって、図10の構成ではIDATA信号のDFが50%に等しくなくてもかまわない。

【0029】第3の遅延回路312はIDATA信号とODATA信号との間に、第4の遅延回路313はXCK信号とOCK信号との間にそれぞれ挿入されている。第3の遅延回路312は、第3のPD301により制御されて、第1の遅延回路302の遅延量の半分だけID

ATA信号を遅延させた信号をODATA信号として出力する。第4の遅延回路313は、第3のPD301により制御されて、第2の遅延回路303の遅延量の半分だけXCK信号を遅延させた信号をOCK信号として出力する。

【0030】図11は、図10中のCRU102の動作例を示している。ここでは、回路の安定動作のため、まず第1のPLLパスによりCK信号の立ち上がりエッジの位相調整が行われた後、第3のPD301と、第1の遅延回路302と、第2の遅延回路303とにより遅延調整が行われ、その後に第2のPLLパスによりXCK信号の立ち下がりエッジの位相調整が行われるものとする。図11に示した遅延調整動作の例では、IDATA信号のHレベル持続時間が1データ間隔 T_b より短くなっている。したがって、IDATA信号の立ち下がりエッジに対するXCK信号の立ち下がりエッジの遅れ位相エラーが第3のPD301により検出され、当該遅れ位相エラーに応じた遅延量 T_d が第1の遅延回路302によりIDATA信号とDDATA信号との間に与えられる。その結果、図11に示すように、DDATA信号の立ち下がりエッジに対するXCK信号の立ち下がりエッジの位相エラーが0となる。これに呼応して、第3の遅延回路312は、IDATA信号とODATA信号との間に遅延量 $T_d/2$ を与える。したがって、OCK信号の立ち上がりエッジがODATAパルスの中央に位置する結果となり、CRU102の次段回路におけるデータラッチにとって好都合である。

【0031】以上のとおり、図10の構成によれば、データレートを従来の2倍に高めることができ、かつ再生クロックのタイミングジッタを抑制することができる。なお、遅延調整のための第1及び第2の遅延回路302、303を第2のPLLパスに代えて第1のPLLパスに挿入することも可能である。

【0032】なお、図1及び図6中のレシーバ10はシングルエンド出力を有するものとしたが、本発明は差動出力型のレシーバを備えたクロックリカバリ回路にも適用可能である。図7及び図10中のレシーバ101についても同様である。

【0033】

【発明の効果】以上説明してきたとおり、本発明のクロックリカバリ回路によれば、規則的なビットパターンを用いてドライバ又はレシーバのデータ遷移特性を調整する期間を設け、本来のデータ伝送期間では調整済みの遷移特性に基づくデータ信号からクロックを再生することとしたので、再生クロックのタイミングジッタを抑制することができる。

【0034】また、本発明のクロックリカバリユニットによれば、データ信号の立ち上がりエッジに応答した位相比較及びCP動作のための構成部分と、当該データ信号の立ち下がりエッジに応答した位相比較及びCP動作

のための構成部分とをそれぞれ設け、これらの構成部分をインターリーブ動作させることとしたので、データレートを従来の2倍に高めることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るクロックリカバリ回路の構成を示すブロック図である。

【図2】図1中のデューティファクタコントローラ (DFC) の詳細構成例を示す回路図である。

【図3】図1中のDFCの他の詳細構成例を示す回路図である。

【図4】調整期間におけるデータ信号のDFが50%より小さい場合の図3のDFCの動作を説明するためのタイミングチャート図である。

【図5】調整期間におけるデータ信号のDFが50%より大きい場合の図3のDFCの動作を説明するためのタイミングチャート図である。

【図6】本発明の第2の実施形態に係るクロックリカバリ回路の構成を示すブロック図である。

【図7】本発明の第3の実施形態に係るクロックリカバリ回路の構成を示すブロック図である。

【図8】図7中のクロックリカバリユニット (CRU) のPLL動作を説明するためのタイミングチャート図である。

【図9】図7中のCRUのDF調整動作を説明するためのタイミングチャート図である。

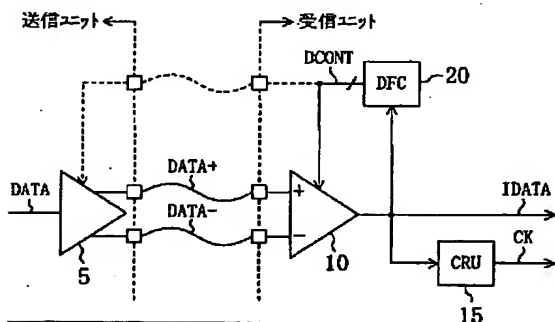
【図10】本発明の第4の実施形態に係るクロックリカバリ回路の構成を示すブロック図である。

【図11】図10中のCRUの動作を説明するためのタイミングチャート図である。

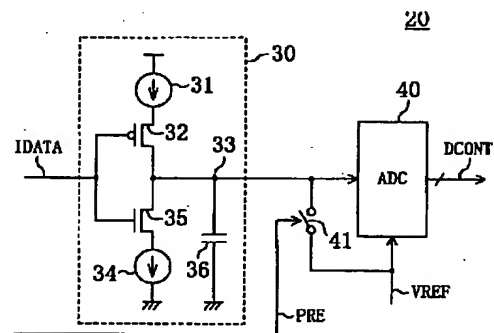
【符号の説明】

- 5 ドライバ
- 10 レシーバ
- 15 クロックリカバリユニット (CRU)
- 20, 20a デューティファクタコントローラ (DFC)
- 30 積分回路
- 40 A/Dコンバータ (ADC)
- 45 遅延回路
- 50 論理回路
- 101 レシーバ
- 102 クロックリカバリユニット (CRU)
- 103 位相比較器 (PD)
- 104 チャージポンプ (CP)
- 105 電圧制御発振器 (VCO)
- 106 共通ノード
- 113 位相比較器 (PD)
- 114 チャージポンプ (CP)
- 301 位相比較器 (PD)
- 302, 303 遅延回路
- 312, 313 遅延回路
- CK 非反転クロック信号
- DCONT デューティファクタコントロール信号
- DDATA 遅延データ信号
- IDATA 入力データ信号
- OCK 出力クロック信号
- ODATA 出力データ信号
- XCK 反転クロック信号

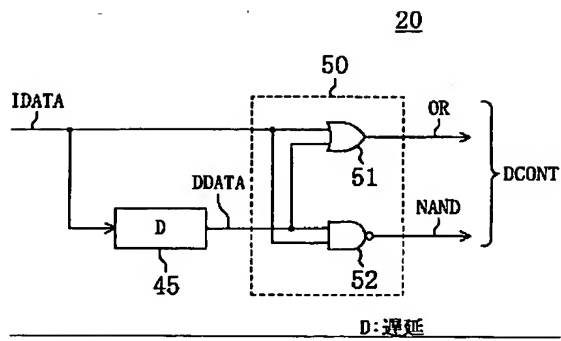
【図1】



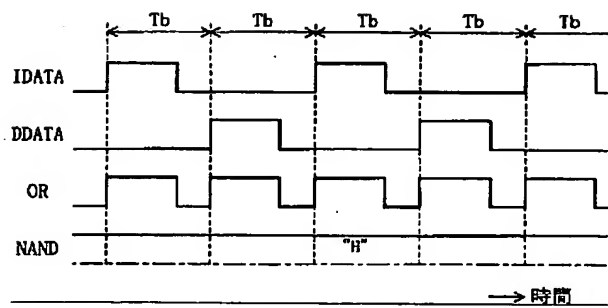
【図2】



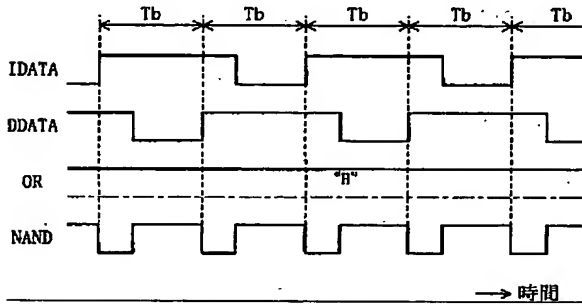
【図3】



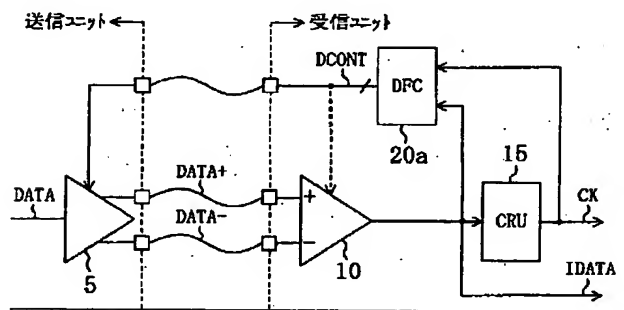
【図4】



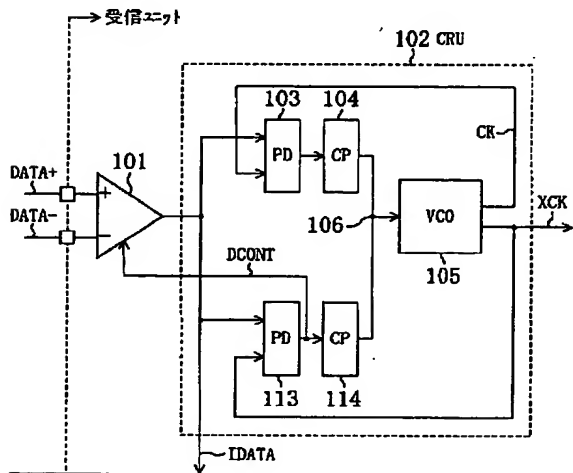
【図5】



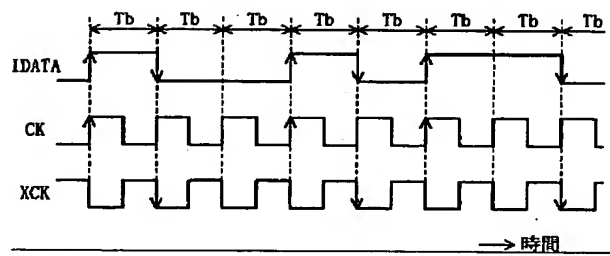
【図6】



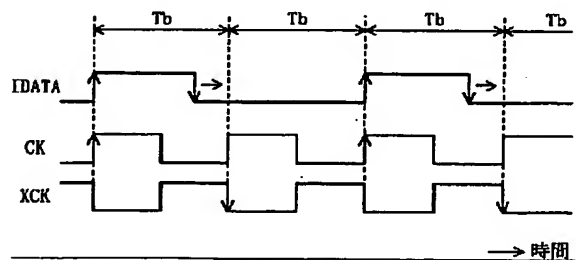
【図7】



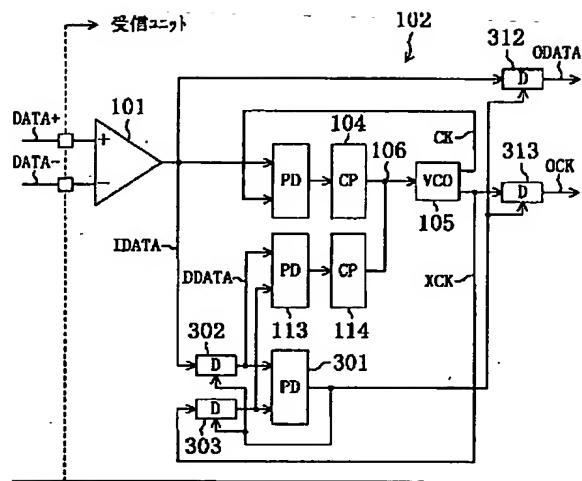
【図8】



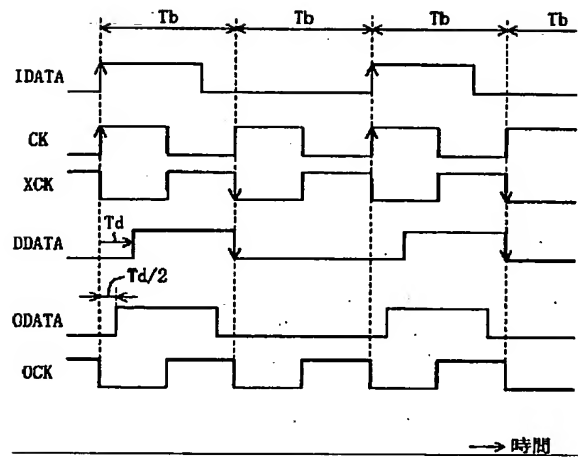
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 吉河 武文
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5J106 AA04 CC01 CC24 CC30 CC58
DD01 DD32 DD43 GG18 KK25
5K047 AA06 FF02 GG13 GG22 MM33
MM35 MM45 MM46 MM63